

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08191425 A**

(43) Date of publication of application: **23 . 07 . 96**

(51) Int. Cl.

H04N 5/907
G11B 20/12
G11B 20/18
G11B 20/18
G11B 20/18
H04N 5/92
H04N 5/937

(21) Application number: **07001289**

(22) Date of filing: **09 . 01 . 95**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **ASAMURA YOSHINORI**
ITO TAKASHI
OKUMA IKUO

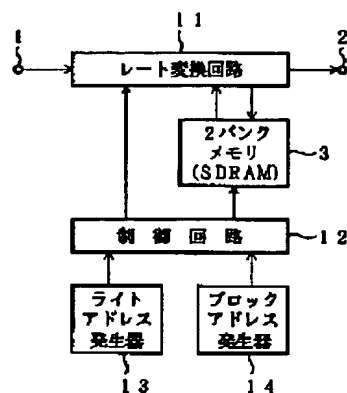
(54) **MEMORY CONTROLLER**

(57) Abstract:

PURPOSE: To obtain a memory controller shuffling data of a block in the unit of a screen by a frame memory.

CONSTITUTION: A rate of data inputted in the unit of lines and blocks is converted by a rate conversion circuit 11 having a small capacity memory. Then the line data are divided by each $l \times n$ pixels and the block data are divided by each $k \times n$ pixels and they are inputted/outputted to/from two banks of a 2-bank system memory 3 alternately. Then a data access in the unit of lines and a data access in the unit of blocks are selected for a period shorter than a horizontal line period and the data are shuffled in the unit of blocks.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-191425

(43) 公開日 平成8年(1996)7月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/907	B			
G 1 1 B 20/12	1 0 3	9295-5D		
20/18	5 3 2 H	8940-5D		
			H 0 4 N 5/ 92	H
			5/ 93	C
審査請求 未請求 請求項の数 8 O L (全 19 頁) 最終頁に続く				

(21) 出願番号 特願平7-1289

(22) 出願日 平成7年(1995)1月9日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 浅村 ▲よし▼範

長岡京市馬場園所1番地 三菱電機株式会社映像システム開発研究所内

(72) 発明者 伊藤 俊

長岡京市馬場園所1番地 三菱電機株式会社映像システム開発研究所内

(72) 発明者 大熊 育雄

長岡京市馬場園所1番地 三菱電機株式会社映像システム開発研究所内

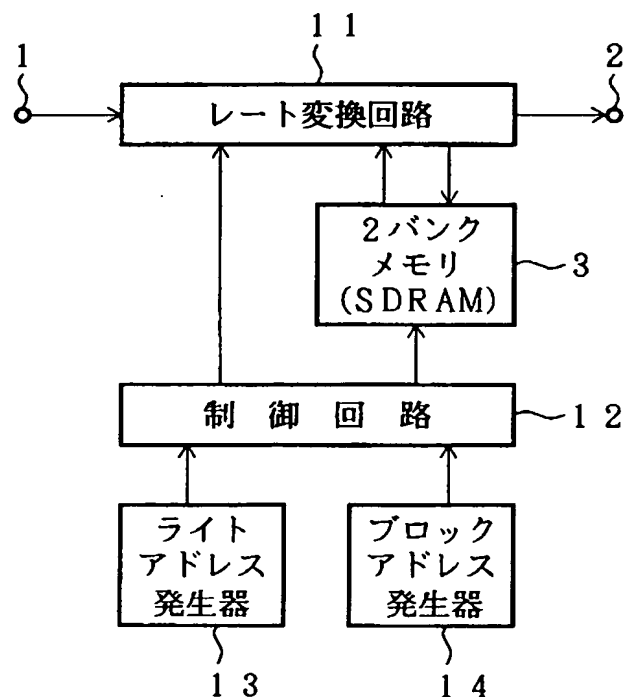
(74) 代理人 弁理士 高田 守 (外4名)

(54) 【発明の名称】 メモリ制御装置

(57) 【要約】

【目的】 1組のフレームメモリで画面単位でブロックシャフリングを行うメモリ制御装置を得る。

【構成】 ライン単位およびブロック単位で入力されるデータを小規模のメモリを有するレート変換回路11でデータレートを変換し、ラインデータは1×n画素毎に、ブロックデータはk×n画素毎に分割して2バンク方式のメモリ3の2つのバンクに交互に入出力し、ライン単位でのデータアクセスとブロック単位でのデータアクセスを、水平ライン周期より短い周期で切り換えてブロックシャフリングするようにした。



【特許請求の範囲】

【請求項1】 ライン単位で入力される1画面分のデジタル映像信号を $n \times m$ 画素のブロックにシャフリングするメモリ制御装置において、前記シャフリングに用いる複数バンク方式のメモリと、ライン単位データを $i \times n$ 画素毎（ $i \geq 1$ ）に分割して前記メモリの複数のバンクに順に書き込みまたは読み出しを行う制御手段と、ブロック単位データは $k \times n$ （ $k \geq 1$ ）画素単位で前記メモリの複数のバンクから順に読み出しまたは書き込みを行う制御手段とを備えたことを特徴とするメモリ制御装置。

【請求項2】 ライン単位で入力される1画面分のデジタル映像信号を $n \times m$ 画素のブロックにシャフリングを行うメモリ制御装置において、前記シャフリングに用いる複数バンク方式のメモリと、前記メモリに対してライン単位およびブロック単位で入出力されるデータを小規模のメモリでデータレート変換する手段と、上記ライン単位データを $i \times n$ 画素毎（ $i \geq 1$ ）に分割して前記メモリの複数のバンクに順に書き込みまたは読み出しを行う制御手段と、上記ブロック単位データを $k \times n$ （ $k \geq 1$ ）画素単位で前記メモリの複数のバンクから順に読み出しまたは書き込みを行う制御手段と、前記複数バンク方式のメモリへのデータアクセスを前記ライン単位でのデータ入力又は出力と前記ブロック単位でのデータの出力および入力を1水平ライン周期より短い周期で交互に切り換える制御手段とを備えたことを特徴とするメモリ制御装置。

【請求項3】 ライン単位データとブロック単位データを小規模のメモリにより前記ラインデータの入出力レートおよび前記ブロックデータの入出力レートと整数比の関係にあるデータレートに変換する手段により、前記複数バンク方式のメモリに対して映像信号の書き込みおよび読み出しを行うように構成した請求項2記載のメモリ制御装置。

【請求項4】 $n \times m$ 画素単位でシャフリングされてメモリ制御装置に入出力されるブロックデータの各ブロックの間にブランキング期間を設ける手段と、ライン単位データとブロック単位データを小規模のメモリにより前記ラインデータの入出力レートおよび前記ブロックデータの入出力レートと整数比の関係にあるデータレートに変換する手段と、前記複数バンク方式のメモリに対するラインデータの入出力とブロックデータの入出力の切り換え時にデータアクセスをしない期間を設けるように制御する手段により、前記複数バンク方式のメモリに対して映像信号の書き込みおよび読み出しを行うように構成した請求項2記載のメモリ制御装置。

【請求項5】 少なくとも画面上で同一位置の輝度信号と色信号のブロックを前記複数バンク方式のメモリの複数のバンクの同一ROWアドレス上に分割してマッピングする手段により、前記複数バンク方式のメモリに対し

て映像信号の書き込みおよび読み出しを行うことを特徴とする請求項2記載のメモリ制御装置。

【請求項6】 ライン単位データを $i \times n$ 画素毎（ $i \geq 1$ ）に分割し前記複数バンク方式のメモリの複数バンクに順に書き込みまたは読み出しする際に前記ラインデータを記録するバンクの順序を j ライン毎（ $j \geq 1$ ）に切り換える制御手段により、前記複数バンク方式のメモリに対して映像信号の書き込みおよび読み出しを行うことを特徴とする請求項2記載のメモリ制御装置。

10 【請求項7】 ライン単位データを $i \times n$ 画素毎（ $i \geq 1$ ）に分割し前記複数バンク方式のメモリの複数バンクに順に書き込みまたは読み出しする際に前記ラインデータを記録するバンクの順序を第1フィールドと第2フィールドで切り換える制御手段により、前記複数バンク方式のメモリに対して映像信号の書き込みおよび読み出しを行うことを特徴とする請求項2記載のメモリ制御装置。

20 【請求項8】 垂直ブランキング期間のライン単位データアクセス時にメモリのリフレッシュを行う手段により、前記複数バンク方式のメモリに対して映像信号の書き込みおよび読み出しを行うことを特徴とする請求項2記載のメモリ制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、映像信号のシャフリングを行うメモリ制御装置に関する。

【0002】

30 【従来の技術】 一般に、映像信号を磁気テープなどを用いて記録再生する際、再生時にテープの傷や外乱などによりドロップアウトが発生すると、映像信号を再現することができなくなる。特にバースト状の大きなドロップアウトが発生した場合、ドロップアウト周辺の映像信号データからドロップアウト区間の映像信号データを予測することは不可能である。このような課題を解決するために、入力映像信号を複数ブロックに分割してその順序を変更して記録し、再生時にもとに戻すシャフリング記録が知られている。

40 【0003】 図24は、従来のメモリ制御装置の一例を示すブロック回路図である。図において、1は映像信号入力端子、33は入力信号用セクタ、31、32はフレームメモリ、36はライトアドレス発生器、37はリードアドレス発生器、35はアドレスセクタ、34は出力信号用セクタ、2は映像信号出力端子である。

50 【0004】 入力映像信号は、映像信号入力端子1より入力され、セクタ33によりフレームメモリ31、32にライトデータとしてフレーム毎に交互に出力される。またライトアドレス発生器36では、フレームメモリ31、32の書き込みアドレスを発生している。一方、リードアドレス発生器37では、フレームメモリ31、32の読み出しアドレスを発生させている。さら

に、アドレスセクタ35では、フレームメモリ31、32にフレーム毎交互に書き込みアドレスと読み出しアドレスを選択し供給する。フレームメモリ31、32から読み出されたデータは、セクタ34によりフレーム毎に交互に選択されて映像信号出力端子2より出力される。

【0005】以下、図2～4を用いて1フレーム毎にブロックシャフリングを行うメモリ制御装置の動作について説明する。入力信号は例えば12:4:0のHDTVコンポーネント映像信号で、輝度信号Yは、サンプリング周波数40.5MHz、色差信号Cr、Cbはサンプリング周波数13.5MHzで線順次されたHDTV信号で、Yは32画素、Cr、Cbは8画素毎交互にサンプリング周波数54MHzで時分割多重されたものである。ここで、ブロックシャフリングは、ライン単位で入力される1画面分の映像信号をフレームメモリ31、32に記録し、8画素×8ラインのブロックサイズで図2～4に示す順序で読み出すことによって実現する。

【0006】以下ブロックシャフリングの方法について説明する。1画面分の映像信号は、図2に示すように100個のスーパーブロックで構成される。ここで、図2において、奇数番または偶数番のスーパーブロック5個（例えば図2の1、3、5、7、9のスーパーブロック）を1トラックと呼ぶ。さらに、各スーパーブロックは、図3に示すように27個のマクロブロックで構成され、各マクロブロックは、図4に示すように画面上で同一位置にある6個の輝度信号ブロックと、2個の色差信号ブロックによって構成されている。ただし、図2において数字0～44、0～60はメモリマップ上のマクロブロックの数を示すものである。

【0007】ブロックシャフリングは、奇数トラックと偶数トラックのトラック内のデータをマクロブロック単位で交互に読み出すことによって実現する。実際には、各スーパーブロックのマクロブロック0を図2の順番にしたがって読み出し、10個のスーパーブロックに対するマクロブロック0の読み出しが終了すると、1、2、...26の順に残りのマクロブロックを読み出す。さらに、10個のスーパーブロック（2トラック分）内の27個のマクロブロックをすべて読み出すと、図2の矢印で示す順で次のスーパーブロック（トラック）の読み出しを順次行う。ここで、スーパーブロック内でのマクロブロックの読み出しは、図3に示すような順番で行うが、マクロブロック内のデータの読み出しはブロック単位で行われ、図4においてY0、Y1、Y2、Y3、Y4、Y5、Cr、Cbの順序で読み出す。

【0008】フレームメモリ31、32は、図25に示すように4個のダイナミックRAM（DRAM）によって構成される。図25において、41は入力信号を4分周する入力セクタ、42は出力信号を4倍にする出力セクタ、43～46はDRAMである。

【0009】次に、フレームメモリの動作について説明する。54MHzで入力される画像データは、入力セクタ41によって4分周され、13.5MHzのクロック周波数で各4個のDRAM43～46に入力される。一方、データの読み出しは、4個のDRAM43～46から13.5MHzで読み出されたデータを、出力セクタ42で交互に選択して54MHzのデータにレート変換されて出力される。

【0010】ここで、1ライン分のデータは1344画素（Yが1008画素、Cr、Cbが336画素）あるため、各DRAM43～46に図26に示すように336画素分を同一ROWアドレス上に書き込む。ただし、色差信号は線順次のため、図4においてメモリマップ上ではCrとCbがライン毎交互に配置される。

【0011】これに対して、図2～4に示すように1画面分の画像データがライン毎に記録してあるため、ブロック単位でのデータの読み出しは、8画素毎に行を変えて8画素×8ライン分のデータを読み出すが、実際には、4個のDRAM43～46からそれぞれ図27に示すように、同一ROWアドレス上にある2画素分を読み出し、出力セクタ42で4倍周期にして出力する。ただし、図26および図27においては、4個のDRAMに対して同時タイミングでRAS、CAS信号、ROWアドレスおよびCOLアドレスが入力されている。また図26、図27において、DATA1～4は4個のDRAM43～46への入力および出力データである。

【0012】さらに、フレーム単位でのメモリの切り換えは、例えば奇数フレームの場合、フレームメモリ31では映像信号をライン単位で書き込み、偶数フレームの場合は8×8のブロック単位でフレームメモリ31から映像信号を読み出す。一方、フレームメモリ32では、奇数フレームの場合はブロック単位で映像信号を読み出し、偶数フレームの場合はライン単位で映像信号の書き込みを行っている。

【0013】すなわち、1フレーム分の映像データを一方のフレームメモリに書き込んでいる間に、他方のフレームメモリでは1フレーム前の映像データのブロックシャフリングを行い出力している。この場合、ライトアドレス発生器36では、1ライン上で有効データが存在する区間に対してライトアドレスを生成する。また、リードアドレス発生器37では、ライン単位で書き込まれた映像データを8×8画素のブロック単位でシャフリングを行い、フレームメモリから読み出すためのリードアドレスを生成している。

【0014】さらに、アドレスセクタ35によりフレーム毎にライトアドレスとリードアドレスが選択され、それぞれのフレームメモリに交互に供給される。この場合、フレームメモリ31が書き込み状態の場合は、セクタ33により入力映像信号がフレームメモリ31側に選択され、読み出し状態にある場合は、フレームメモリ

32の出力がセクタ34によって選択され、映像信号出力端子2より出力される。

【0015】一方、デシャフリング時は、フレームメモリへの書き込みは8×8画素のブロック単位で行われ、読み出しはライン単位で行われる。この際、ライトアドレス発生器36では、シャフリング時にリードアドレス発生器37によって生成されたリードアドレスをライトアドレスとして生成すればよい。同じくリードアドレス発生器37では、シャフリング時にライトアドレス発生器36によって生成されたライトアドレスをリードアドレスとして生成することによりデシャフリングを実現できる。

【0016】

【発明が解決しようとする課題】従来のメモリ制御装置は以上のように構成されていたが、フレームメモリにDRAMを用いた場合、DRAMのデータアクセスは同一ROWアドレス上にないデータを連続アクセスできないため、ラインおよびブロック単位で連続するデータをメモリに入出力するためには、画像データを複数のDRAMに分割して記録する必要がある。このため、ハードウェアサイズが増大し、実装面積が大きくなるという問題点があった。

【0017】

【課題を解決するための手段】本発明は上記のような問題点を解消するためになされたもので、フレームメモリに複数バンク方式のメモリを用いて、データの書き込みと読み出しが前記複数のバンクに順にアクセスするように制御することにより、画像データの連続アクセスを可能にし、1組のフレームメモリで1画面分の画像データをシャフリングまたはデシャフリングするようにしたものであって、請求項1の発明に係るメモリ制御装置では、ラインデータは $i \times n$ ($i \geq 1$) 画素毎、ブロックデータは $k \times n$ ($k \geq 1$) 画素毎に分割して、複数バンク方式のメモリの複数のバンクに順に入出力するように構成した。

【0018】また、請求項2の発明に係るメモリ制御装置では、ラインおよびブロック単位で入力されるデータを小規模のメモリでデータレート変換し、ラインデータは $i \times n$ 画素毎、ブロックデータは $k \times n$ 画素毎に分割し、複数バンク方式のメモリの複数のバンクに順に入出力し、ライン単位でのデータアクセスとブロック単位でのデータアクセスを水平ライン周期より短い周期で切り換えるように構成した。

【0019】また、請求項3の発明に係るメモリ制御装置では、ラインおよびブロック単位で入力されるデータを小規模のメモリでラインおよびブロックデータのデータレートと整数比となるデータレートに変換し、ラインデータは $i \times n$ 画素毎、ブロックデータは $k \times n$ 画素毎に複数バンク方式のメモリの複数のバンクに順に入出力し、ライン単位でのデータアクセスとブロック単位での

データアクセスを水平ライン周期より短い周期で切り換えるように構成した。

【0020】また、請求項4の発明に係るメモリ制御装置では、メモリ制御装置から出力されるブロックシャフリングされたデータに対して各ブロック間にブランキング期間を設けて、ラインおよびブロック単位で入力されるデータを小規模のメモリでラインおよびブロックデータのレートと整数比となるデータレートに変換し、ラインデータは $i \times n$ 画素毎、ブロックデータは $k \times n$ 画素毎に複数バンク方式のメモリの複数のバンクに交互に入出力し、ライン単位でのデータアクセスとブロック単位でのデータアクセスを水平ライン周期より短い周期で切り換え、ラインとブロックデータの切り換え時にデータアクセスを行わない期間を設けるように構成した。

【0021】また、請求項5の発明に係るメモリ制御装置では、ラインおよびブロック単位で入力されるデータを小規模のメモリでデータレート変換し、複数バンク方式のメモリの複数のバンクに順に入出力する際に、ラインデータは $i \times n$ 画素毎に分割し、ブロックデータは $k \times n$ 画素毎に分割して入出力し、少なくとも画面上で同一位置の輝度信号と色信号が複数バンク上の同一ROWアドレス上に分割されるように配置し、ライン単位でのデータアクセスとブロック単位でのデータアクセスを水平ライン周期より短い周期で切り換えるように構成した。

【0022】また、請求項6の発明に係るメモリ制御装置では、ラインおよびブロック単位で入力されるデータを小規模のメモリでデータレート変換し、複数バンク方式のメモリの複数のバンクに順に入出力する際に、ラインデータは $i \times n$ 画素毎に分割し、さらに j ライン ($j \geq 1$) 毎にデータを書き込むバンクを切り換えて入出力し、ブロックデータは $k \times n$ 画素毎に分割して入出力し、ライン単位でのデータアクセスとブロック単位でのデータアクセスを水平ライン周期より短い周期で切り換えるように構成した。

【0023】また、請求項7の発明に係るメモリ制御装置では、ラインおよびブロック単位で入力されるデータを小規模のメモリでデータレート変換し、複数バンク方式のメモリの複数のバンクに順に入出力する際に、ラインデータは $i \times n$ 画素毎に分割し、さらに第1フィールドと第2フィールドでデータを書き込むバンクを切り換えて入出力し、ブロックデータは $k \times n$ 画素毎に分割して入出力し、ライン単位でのデータアクセスとブロック単位でのデータアクセスを水平ライン周期より短い周期で切り換えるように構成した。

【0024】また、請求項8の発明に係るメモリ制御装置では、ラインおよびブロック単位で入力されるデータを小規模のメモリでデータレート変換し、複数バンク方式のメモリの複数のバンクに順に入出力する際に、ライン単位でのデータアクセスとブロック単位でのデータア

アクセスを水平ライン周期より短い周期で切り換え、さらに垂直ブランキング期間のラインデータのアクセスタイミングでメモリのリフレッシュを行うように構成した。

【0025】

【作用】請求項1の発明によれば、画像データのシャフリングを $n \times m$ 画素単位で複数バンク方式のメモリを用いて実現する際に、複数バンク方式のメモリに対してライン単位で連続する画像データは $i \times n$ ($i \geq 1$) 画素毎、ブロック単位で連続する画像データは $k \times n$ ($k \geq 1$) 画素毎に複数のメモリバンクに順に分割して記録することにより、画像データをメモリに対して連続アクセスすることができる。

【0026】また、請求項2の発明によれば、画像データのシャフリングを $n \times m$ 画素単位で複数バンク方式のメモリを用いて実現する際に、ラインおよびブロックデータを小規模なメモリでデータレート変換して、水平ライン周期よりも短い周期でラインとブロックデータを切り換えて、ラインデータは $i \times n$ 、ブロックデータは $k \times n$ 画素毎に複数のメモリバンクに順に分割して入出力するため、ラインデータとブロックデータをメモリに対して連続アクセスすることができ、1組の複数バンクメモリによってブロックシャフリングを実現することができる。

【0027】また、請求項3の発明によれば、画像データのシャフリングを $n \times m$ 画素単位で複数バンク方式のメモリを用いて実現する際に、ラインおよびブロックデータを小規模なメモリでラインおよびブロックのデータレートと整数比となるデータレートに変換して、水平ライン周期よりも短い周期でラインとブロックデータを切り換えて、ラインデータは $i \times n$ 、ブロックデータは $k \times n$ 画素毎に複数のメモリバンクに順に分割して入出力するため、ラインデータとブロックデータをメモリに対して連続アクセスすることができ、データレート変換を行うメモリの容量を小さくすることができる。

【0028】また、請求項4の発明に係るメモリ制御装置によれば、画像データのシャフリングを $n \times m$ 画素単位で複数バンク方式のメモリを用いて実現する際に、メモリ制御装置から出力されるブロックデータに対して各ブロック間でブランキング期間を設けて、ラインおよびブロック単位で入力されるデータを小規模のメモリでラインおよびブロックデータと整数比となるデータレートに変換し、ラインデータは $i \times n$ 画素毎、ブロックデータは $k \times n$ 画素毎に複数バンク方式のメモリの複数のバンクに順に分割して入出力し、ライン単位でのデータアクセスとブロック単位でのデータアクセスを水平ライン周期より短い周期で切り換え、ラインとブロックデータの切り換え時にデータアクセスを行わない期間を設けるようにするため、データレート変換を行うメモリの容量を少なくすることができ、複数バンクメモリに対するデータの出入力が重なることがない。

【0029】また、請求項5の発明に係るメモリ制御装置によれば、画像データのシャフリングを $n \times m$ 画素単位で複数バンク方式のメモリを用いて実現する際に、ラインおよびブロックデータを小規模なメモリでデータレート変換して、水平ライン周期よりも短い周期でラインとブロックデータを切り換えて、ラインデータは $i \times n$ 分割し、ブロックデータは $k \times n$ 画素毎に複数のメモリバンクに順に分割して入出力し、画面上で同一位置にある輝度信号と色信号を複数バンクの同一ROWアドレス上に配置するため、メモリ内のアドレスマップが簡単となり、データアクセス時にROWアドレスを変更する回数が減るため、メモリ制御装置の消費電力も小さくなる。

【0030】また、請求項6の発明によれば、画像データのシャフリングを $n \times m$ 画素単位で複数バンク方式のメモリを用いて実現する際に、ラインおよびブロックデータを小規模なメモリでデータレート変換して、水平ライン周期よりも短い周期でラインとブロックデータを切り換えて、ラインデータは $i \times n$ 分割し、ブロックデータは $k \times n$ 画素毎分割し、画面上で同一位置にある輝度信号と色信号を前記複数バンク方式のメモリに記録する際に、 j ($j \geq 1$) ライン毎に記録するバンクを切り換えて、同一ROWアドレス上に画面上で同一位置にある輝度信号と色信号を j ライン毎に分割して記録するため、 n 画素の整数倍のデータに対してデータの連続アクセスが実現できメモリ内のアドレスマップも簡単である。

【0031】また、請求項7の発明によれば、画像データのシャフリングを $n \times m$ 画素単位で複数バンク方式のメモリを用いて実現する際に、ラインおよびブロックデータを小規模なメモリでデータレート変換して、水平ライン周期よりも短い周期でラインとブロックデータを切り換えて、ラインデータは $i \times n$ 分割し、ブロックデータは $k \times n$ 画素毎分割し、画面上で同一位置にある輝度信号と色信号を前記複数バンク方式のメモリに記録する際に、フィールド毎に記録するバンクを切り換えて同一ROWアドレス上に画面上で同一位置にある輝度信号と色信号を j ライン毎に分割して記録するため、 n 画素の整数倍のデータに対してデータの連続アクセスが実現できる。

【0032】また、請求項8の発明によれば、画像データのシャフリングを $n \times m$ 画素単位で複数バンク方式のメモリを用いて実現する際に、ラインおよびブロックデータを小規模なメモリでデータレート変換して、水平ライン周期よりも短い周期でラインとブロックデータを切り換え、垂直ブランキング期間中のラインデータのアクセスタイミングでメモリのリフレッシュを行うため、リフレッシュ動作がメモリへに対するデータの出入力と重なることがない。

【0033】

【実施例】

実施例1. 次に、本発明の実施例1について説明する。図1はこの実施例1のメモリ制御装置のブロック回路図である。図において、1は映像信号入力端子、2は映像信号出力端子、3、4は2バンクメモリ、5は入力ポート用セクタ、6は出力ポート用セクタ、7はアドレスセクタ、8はラインアドレス発生器、9はブロックアドレス発生器である。

【0034】次にシャフリング時の動作について説明する。映像信号入力端子1から入力される入力信号は例えば12:4:0のコンポーネントHDTV映像信号で、輝度信号Yはサンプリング周波数40.5MHz、色差信号Cr、Cbはサンプリング周波数13.5MHzの線順次信号であり、Yは24画素、Cr、Cbは8画素毎交互にサンプリング周波数54MHzで時分割多重されたもので、セクタ5によりフレーム毎に選択され2バンクメモリ3または4に入力される。ブロックシャフリングの読み出しは8画素×8ラインのブロック単位で行われるが、ブロックシャフリングの方式および順序については、従来例と同じであるので、説明は省略する。

【0035】フレーム単位でのメモリの切り換えは、例えば奇数フレームの場合、2バンクメモリ3では映像信号をライン単位で書き込み、偶数フレームの場合は $n \times m$ のブロック単位で映像信号を読み出す。これに対して、2バンクメモリ4では奇数フレームの場合は $n \times m$ のブロック単位で映像信号を読み出し、偶数フレームの場合はライン単位で映像信号の書き込みを行う。すなわち、1フレーム分の映像データを一方のフレームメモリに書き込んでいた間にもう一方のフレームメモリでは1フレーム前の映像データのブロックシャフリングを行い出力している。

【0036】ここで、ラインアドレス発生器8では、ライン単位での2バンクメモリへの書き込みアドレスおよび制御信号を生成する。一方、ブロックアドレス発生器9では、ブロック単位での2バンクメモリからの読み出しアドレスおよび制御信号を生成する。アドレスセクタ7では、ラインアドレス発生器8とブロックアドレス発生器9の出力をフレーム毎に交互に選択し、2バンクメモリ3、4に出力する。さらに、2バンクメモリ3、4からの出力はセクタ6によって選択され、シャフリングされた画像データが映像信号出力端子2より出力される。

【0037】一方、デシャフリング時には、8画素×8ライン単位で映像信号入力端子1から入力されるデータは、セクタ5によりフレーム毎に選択され、2バンクメモリ3または4に入力される。ここで、フレーム単位でのメモリの切り換えは、例えば2バンクメモリ3では偶数フレームの場合は $n \times m$ のブロック単位で書き込み、奇数フレームの場合はライン単位で読み出す。これに対して、2バンクメモリ4では、奇数フレームの場合

はライン単位で映像信号を読み出し、偶数フレームの場合は $n \times m$ のブロック単位で書き込みを行う。

【0038】また、ラインアドレス発生器8では、読み出しアドレスおよび制御信号を生成する。一方、ブロックアドレス発生器9では、読み出しアドレスおよび制御信号を生成する。アドレスセクタ7では、ラインアドレス発生器8とブロックアドレス発生器9の出力をフレーム毎に交互に選択し、2バンクメモリ3、4に出力する。さらに、2バンクメモリ3、4からの出力はセクタ6によって選択され、デシャフリングされたライン単位の画像データが映像信号出力端子2より出力される。

【0039】ここで、2バンクメモリ3、4には、例えば図5に示すような2バンク構成のシンクロナスDRAM（以下、「SDRAM」という）を用いる。図5において、51はメモリバンク0、52はメモリバンク1、53はバンク0へのアドレスおよびRAS、CAS、WE等の制御信号を選択するセクタ0、54はバンク1に対するセクタ1である。

【0040】図5のSDRAMでは、ROWおよびCOLアドレスを与えると、例えば連続する4ワード単位でデータの書き込みおよび読み出しがクロック同期で行われる。また、同一ROWアドレス上にあるデータに対しては、ROWアドレスを更新することなく、COLアドレスを更新することにより連続クロックでデータの書き込みおよび読み出しができる。さらに、一方のバンクをアクセス中に他方のバンクのアドレスを入力できるため、バンク0とバンク1を交互にアクセスすることにより、連続データをインターリーブアクセスすることが可能である。

【0041】以下、図6に従って、シャフリング時のSDRAMに対するデータのアクセス方法について説明する。ここでは、ライン単位で入力される映像信号を、図6に示すように8画素毎に分割して、SDRAMのバンク0とバンク1に交互に入力することにより、連続クロックで1ライン分の画像データを記録する。この場合、SDRAMに対しては、第1フィールドではバンク0、1、0、1、0の順で8画素単位でデータを書き込み、第2フィールドではバンク1、0、1、0、1の順で8画素単位でデータを書き込む。

【0042】さらに、1マクロブロック分の画像データが同一ROWアドレス上に2分割されて記録されるように、ライン単位の画像データのROWアドレスを制御する。ここでは、8画素毎にライン単位のデータが2つのバンクに交互に入力されるため、第1フィールドの同一マクロブロック内のY0、Y2、Y3、Y5ブロックはバンク0に、Y1、Y4、Cr、Cbブロックはバンク1の同一ROWアドレス上に記録される。一方、第2フィールドではそれぞれ第1フィールドと逆のバンクの同一ROWアドレス上に記録される。

【0043】実際には、SDRAMへのデータの書き込

みは図7に示すようなタイミングで行う。図7において、BAはバンクの選択信号で、BA=Lのときバンク0、Hのときバンク1が選択され、CS、RAS、CAS、WE、アドレスの入力およびデータの入出力はすべてクロック同期で行われる。図7の場合、SDRAMへのデータライトは、ROWアドレスの入力から3CK後にCOLアドレスが入力されると同時に連続4個（バーストレンクス）のデータがクロック同期で入力される。

【0044】これに対して、ブロック単位での読み出しは、1ブロック分のデータがフィールド毎に2つのバンクに分割されて記録されているため、図8に示すように、8画素毎にバンク0とバンク1から交互にデータを読み出すことにより、ブロック単位のデータを連続クロックで読み出す。ただし、SDRAMからは連続クロックで、バンク0、1、0、1、0の順でデータを読み出すため、Y0、Y2、Y3、Y5のブロックについては、ブロックデータの第1フィールドと第2フィールドの順番が入れ替わって出力される。このため、例えばシフトレジスタなどを用いて8画素単位で第1フィールドのデータと第2フィールドのデータを入れ換える必要がある。

【0045】実際には、SDRAMからのデータの読み出しは図9に示すタイミングで行う。図9の場合、ROWアドレスの入力から3CK後にCOLアドレスが入力され、さらに3CK（レイテンシ）後に連続4個のデータがクロック同期で出力される。また、デシャプリング時のSDRAMへのデータの入出力については、ブロック書き込みでライン読み出しになるが、アクセス方法についてはシャプリング時と同様であるため説明を省略する。

【0046】なお、上記実施例1では、画像データをHDTV信号としたが、必ずしもHDTV信号である必要はない。また、上記実施例1では、フレームメモリに2バンク方式のメモリを用いたが必ずしも2バンク方式である必要はなく、2バンク以上の複数バンク方式のメモリであればよい。また、上記実施例1では、画像データのブロックサイズを8画素×8ラインとしたが、必ずしも8×8である必要はなく、n画素×mライン（m、n≥1）でブロックングを行ってもよい。また、上記実施例1ではフレーム単位でブロックシャプリングを行ったが必ずしもフレーム単位で行う必要はなくフィールド単位で行ってもよい。さらに、上記実施例1では、SDRAMは4ワード単位でアドレスを生成してデータアクセスを行ったが、必ずしも4ワード単位である必要はなく、例えば8ワード単位でデータアクセスを行ってもよい。

【0047】また、上記実施例1ではライン単位での入出力は8ワード毎交互にバンク0とバンク1に分割して記録していたが、必ずしも8ワード単位である必要はなく1×8（1≥1）ワード単位で切り換えればよい。ま

た、上記実施例1ではフィールド毎に入力するバンクを切り換えていたが、必ずしもフィールド毎に切り換える必要はなく、第1、第2フィールド共に同じバンクに記録してもよい。また、上記実施例1では1マクロブロック分のデータがフィールド毎に2つのバンクの同一ROWアドレス上に配置されていたが、必ずしも1マクロブロック分が同一ROWアドレス上にある必要はなくフィールド毎にバンク0とバンク1にデータが分割されて記録されていればブロック単位のデータを連続クロックでアクセスすることができる。

【0048】実施例2．次に本発明の実施例2を図について説明する。図10は実施例2のメモリ制御装置のブロック回路図で、図1と同一符号はそれぞれ同一または相当部分を示している。実施例1では、図1に示すように2組の2バンクメモリを用いてシャプリングを行っているが、図10に示すように、ラインおよびブロックデータをデータレート変換して時分割多重することにより、1組の2バンクメモリでシャプリングを行ってもよい。図10において、3は2バンクメモリ、11はデータレート変換回路、12は制御回路、13はラインアドレス発生器、14はブロックアドレス発生器である。

【0049】図11はシャプリング時の2バンクメモリ3へのデータアクセス方法を示す図である。ここでは、レート変換回路11において映像データをサンプリング周波数54MHz、16ビット幅にデータレート変換して、実時間でラインデータとブロックデータを1組の2バンクメモリ3に入出力してシャプリングを行う。

【0050】図11において、レート変換回路11に入力されるラインデータは、8ビット幅の12:4:0のコンポーネント映像信号で、輝度信号Yはサンプリング周波数40.5MHz、色差信号Cr、Cbはサンプリング周波数13.5MHzの線順次信号で、ライン単位で連続して入力される。また、レート変換回路11から出力されるブロックデータは、2チャンネル（CH）でサンプリング周波数27MHz、8ビット幅で64画素のブロック単位で出力される。ただし、図11（a）に示すように、1ブロック分のデータは連続クロックで出力され、各ブロック間には8CKのブランキング期間がある。

【0051】一方、レート変換回路11では、ラインデータYおよびCのサンプリング周波数40.5MHzおよび13.5MHzとブロックデータのサンプリング周波数27MHzと整数比となるサンプリング周波数54MHzに、ラインおよびブロックデータをレート変換して、16ビット幅で2バンクメモリ3にデータを入力および出力する。ここで、データの入力と出力の切り換えは原則的には図11（d）に示すように32ワード毎に行う。

【0052】しかし、ラインデータは、図11（b）、（c）に示すように1ライン分のデータが連続で入力さ

れるが、レート変換回路11から出力されるブロックデータには、図11(a)に示すように8CKのブランキング期間がある。よって、図11に示すように、サンプリング周波数54MHzで288CKの間にブロックデータは4ブロック分(256ワード)、ラインデータは288ワード(それぞれYが216ワード、Cが72ワード)存在する。したがって、図11(d)に示すように288CKの間にブロックデータは32ワード(16ビット幅)単位で4回、ラインデータは32ワード単位で3回と48ワード単位で1回、2バンクメモリにアクセスを行う。

【0053】この場合、レート変換回路11に入力および出力されるラインデータとブロックデータのデータ数と、2バンクメモリから出力および入力されるデータ数が54MHz、288CK内で同じであるため、レート変換回路11を構成するFIFOの容量を小さくすることができる。

【0054】また、図11(d)に示すようにラインデータとブロックデータの入出力の切り換え時に、1または3CKの間データをアクセスしない期間を設けることができるため、2バンクメモリ3に対するデータの書き込みと読み出しが重なることがなく、メモリアccessを安定して行うことができる。

【0055】次に、実施例2の動作を図10にしたがって説明する。シャフリング時には、ライン単位での入力信号は映像信号入力端子1を介してレート変換回路11に入力され、レート変換回路11によってレート変換されて、2バンクメモリ3に書き込まれる。次に、2バンクメモリ3に書き込まれた1フレーム分のデータを図2～図4に示す順で読み出すことによりブロックシャフリングを行う。2バンクメモリ3から出力されるブロックデータはレート変換回路11によってレート変換されて映像信号出力端子2を介して出力される。

【0056】ここで、レート変換回路11は、制御回路12によって2バンクメモリ3へのリードデータとライトデータを図11(d)に示すようなタイミングで切り換えている。さらに、制御回路11では、ラインアドレス発生器13とブロックアドレス発生器14の出力を選択して2バンクメモリ3へのアドレスも出力する。

【0057】次に、レート変換回路11の動作について説明する。図12はレート変換回路のブロック図である。図12において、15は入力セクタ、16はラインデータレート変換回路、17はブロックデータレート変換回路、18は出力セクタである。

【0058】入力セクタ15は、シャフリング時には映像信号入力端子1からのラインデータを選択してラインデータレート変換回路16に出力する。ラインデータレート変換回路16は、図13に示すように4組の8ビット幅のFIFOで構成されており、図14(a)に示すような8ビット幅で入力されるYおよびC信号を図1

4(b)に示すような16ビット幅のデータに多重して出力する。ここで、図13において、サンプリング周波数40.5MHzのY信号はY入力セクタ60によって1画素毎交互に選択されFIFO62とFIFO63に入力される。また、13.5MHzのC信号はC入力セクタ61によって1画素毎交互に選択されFIFO64とFIFO65に入力される。

【0059】すなわち、図14(a)に示すようにY信号がY0, Y1, Y2, Y3・・・の順で入力された場合、偶数番目のデータY0, Y2・・・はFIFO62に、奇数番目のデータY1, Y3・・・はFIFO63に記憶される。同様にC信号は偶数番目のデータCr0, Cr2・・・はFIFO64に、奇数番目のデータCr1, Cr3・・・はFIFO65に記憶される。

【0060】次に、FIFO62～65に記憶されたラインデータは図14(b)に示すようにYは24画素、Cは8画素毎交互にY出力セクタ66およびC出力セクタ67によって選択されて2バンクメモリ3に出力される。ただし、Y出力セクタ66とC出力セクタ67の出力は16ビット幅であるため、図14(b)に示すようにYが12ワード、Cは4ワード毎に切り換わり、サンプリング周波数は54MHzである。

【0061】一方、2バンクメモリ3から出力されるブロックデータは、入力セクタ15を介してブロックデータレート変換回路17に入力される。ブロックデータレート変換回路17は、図15に示すように2組のFIFOによって構成されており、図16(a)に示すように、サンプリング周波数54MHz、16ビット幅で入力されるデータを、図16(b)に示すように27MHz、8ビット幅で2CHのデータに変換して映像信号出力端子2に出力する。

【0062】ブロックデータは、図16(a)に示すように2バンクメモリ3から、サンプリング周波数54MHzで4ワード(8画素)毎にブロックBとB'のデータを切り換えて読み出す。ここで、ブロックBとB'は、図2において1、2または3、4のように、奇数番目と偶数番目のスーパーブロック(奇数トラックと偶数トラック)のペアに含まれるブロックである。この場合、図15において、ブロックデータは4ワード毎に入力セクタ68と69に切り換えて入力され、入力セクタ68では、ブロックBの16ビット幅のデータをFIFO70、71に、入力セクタ69では、ブロックB'のデータをFIFO72、73に出力する。この場合、図16(a)のB0, B2・・・はFIFO70に、B1, B3・・・はFIFO71に記録される。また、B0', B2'・・・はFIFO72に、B1' B3'・・・はFIFO73に記録される。

【0063】次に、出力セクタ74は、サンプリング周波数27MHzで交互にFIFO70と71に記憶されたブロックBのデータを選択して8ビット幅で出力す

10

20

30

40

50

る。また、出力セクタ75は、FIFO70と71に記憶されたブロックB'のデータを交互に選択して8ビット幅で出力する。この場合、2CHで出力されるブロックBとB'のデータの関係は、図16(b)に示す関係になる。

【0064】また、2バンクメモリ3にはSDRAMを用いる。以下、図11に従って、シャフリング時のSDRAMに対するデータのアクセス方法について説明する。ここでは、SDRAMに入力されるデータは16ビット幅でサンプリング周波数54MHzにレート変換されたもので、図11(d)に示すように、8ワード毎に分割してSDRAMのバンク0とバンク1に交互に出入力される。

【0065】ここで、1ライン分のデータは図17に示すように、SDRAMに対して第1フィールドではバンク0, 1, 0, 1, 0の順で8ワード単位でデータを書き込み、第2フィールドではバンク1, 0, 1, 0, 1の順で8ワード単位でデータを書き込む。この場合、1マクロブロック分の画像データが同一ROWアドレス上で2つのバンクに2分割されて記録されるように、ラインデータのROWアドレスを制御する。さらに、図16に示すように、ブロックBとB'のデータを交互に読み出すために、ブロックBとB'のデータも同一ROWアドレス上に記録する。このようにフィールド毎にデータを記録するバンクを切り換えることにより、ブロックデータアクセス時に8ワード毎(16画素分のデータ)交互にSDRAMのバンクを切り換えてデータを読み出すことが可能となる。

【0066】すなわち、ライン単位のデータが8ワード毎に2つのバンクに交互に記録されるため、第1フィールドの同一マクロブロック内のY0, Y1, Y3, Y4ブロックはバンク0に、Y2, Y5, Cr, Cbブロックはバンク1の同一ROWアドレス上に記録される。一方、第2フィールドでは、それぞれ第1フィールドと逆のバンクの同一ROWアドレス上に記録される。さらに、ブロック読み出し時に対となるトラックのマクロブロックも、同一ROWアドレス上に記録される。このため、ラインアドレスは8ワード(16画素)毎に切り換わるが、バンク0とバンク1のアドレスは、バンクアドレスの1ビットが異なるだけである。したがって、ラインアドレス発生回路13では、16ワードに1回ROWアドレスを更新すればよい。比較的に簡単なアルゴリズムで構成できる。また、SDRAM上のアドレスマップも、1マクロブロック分のデータが同一ROWアドレス上に配置されるため、アドレスマップも単純なものとなる。

【0067】図18に、2048ROW×256COL×2バンク×16ビット(16Mbit)のSDRAMに対する、1スーパーブロック分のメモリマップ(ROWアドレスが0~27)を示す。図18では、同一RO

Wアドレス上にトラック1~4までの同一番号のマクロブロックが記録されている。したがって、ブロック読み出し時に対となるトラック1と2およびトラック3と4のマクロブロックが同一アドレス上に記録されている。

【0068】これに対して、ブロック単位での読み出しは、1ブロック分のデータがフィールド毎に2つのバンクに分割して記録されているため、図19に示すように、8ワード毎にバンク0とバンク1から交互にデータを読み出すことを行く。この場合、ブロックデータは、図18に示すようにブロック読み出し時に対となるマクロブロック分のデータが同一ROWアドレス上に配置されているために、ブロックデータのROWアドレスは、2マクロブロック分のデータをアクセスする間に変化しないため、ブロックアドレス発生回路14のアルゴリズムが簡単で、消費電力も小さくすることができる。ただし、連続クロックで、バンク0, 1, 0, 1の順でデータを読み出すため、Y0, Y1, Y3, Y4のブロックについては、第1フィールドと第2フィールドの順番が入れ換わる。このため、ブロックデータレート変換回路17によって第1フィールドのデータと第2フィールドのデータを入れ換える必要がある。

【0069】また、SDRAMへのデータの入出力は、図11に示すように32ワードまたは48ワード毎に読み出しと書き込みを切り換える。図11(d)よりライトとリードの間には3CK、リードとライトの間には1CK分のブランク期間が存在する。実際には、SDRAMへのデータの書き込みは、図20および図21に示すようなタイミングで行う。図20に示すようにレイテンシが3の場合、SDRAMのリード時には、COLアドレスが入力されてから3CK遅れてデータが出力される。ここで、書き込みデータと読み出しデータ間のブランク期間を2CKにした場合、図20においてリード時のROWアドレス入力タイミングを1CK前にずらす必要があるが、ライト時のCOLアドレス入力と重なるために実現できない。さらに、ROWアドレスの入力を1CK前にずらした場合は、バンク0のプリチャージに必要な時間を満たさなくなる(図20の場合70ns必要である)。このため、図20ではライト動作からリード動作に変わる間に3CKのブランク期間を設ける。

【0070】これに対して、SDRAMへのデータライトは、COLアドレス入力と同時にタイミングで開始するため、図21に示すように、リード動作からライト動作に変わる間に1CKのブランク期間を設ける。この場合、ブランク期間を2CKとしてもよいが、ライトコマンドのサイクルが奇数となる。しかし、SDRAMの種類によってはライトコマンドのサイクルが偶数である必要があるため、ブランク期間は1CKとする。以上の様な理由で、図11(d)に示すようにSDRAMのリード動作からライト動作に変わる間に1CK、ライト動作からリード動作に変わる間に3CKのブランク期間を設

けてある。また、デシャプリング時の動作については、SDRAMに対してブロック書き込みでライン読み出しになるが、シャプリング時と同様であるため説明を省略する。

【0071】一方、映像信号入力端子1からフィールド単位で入力されるデータには、ラインデータが存在しない垂直ブランキング期間が存在する。ここで、垂直ブランキング期間にはラインデータが存在しないため、図11(d)においてSDRAMへのライトデータが存在しない。このため、垂直ブランキング期間に、図11

(d)のラインデータをアクセスするサイクル中にSDRAMのリフレッシュを行うことにより、SDRAMへのデータの入出力と重なることなくリフレッシュを実行することができる。

【0072】上記実施例2では、フレームメモリに2バンク方式のメモリを用いているが必ずしも2バンクである必要はなく、複数バンク方式のメモリであればよい。また、上記実施例2ではSDRAMのレイテンシを3としていたが必ずしも3である必要がなく、2または1としてもよい。例えば、レイテンシが2の場合は、リード動作からライト動作に変わる場合もライトからリードに変わる場合もブランク期間は2CKで実現できる。また、上記実施例2ではペアとなるスーパーブロック内の同一位置に存在するマクロブロックが同一ROWアドレス上に配置されていたが、少なくとも1マクロブロック分のデータが同一ROWアドレス上に記録されていればよい。

【0073】実施例3. 次に、本発明の実施例3を図について説明する。図22は実施例3のラインデータの記録方法を示した図である。実施例2では、ラインデータを図17に示すように、フィールド毎にSDRAMに記録するバンクを切り換えて1ライン分のデータを記録していたが、図22に示すようにトラック毎に切り換えてもよい。すなわち、図2および図3に示すように1トラックの垂直方向は3マクロブロックで構成されているため、24ライン毎にSDRAMに記録するバンクを切り換える。

【0074】SDRAMへのデータアクセスは、実施例2と同様に、図11に示すタイミングで行う。ここで、図22では、1ライン分のデータをSDRAMに対して奇数トラックではバンク0, 1, 0, 1, 0の順で、偶数トラックではバンク1, 0, 1, 0, 1の順でそれぞれ8ワード単位にデータを分割して書き込む。この場合、1マクロブロック分の画像データが同一ROWアドレス上に2つのバンクに2分割されて記録されるように、ライン単位で入力される画像データのROWアドレスを制御する。さらに、奇数トラックと偶数トラックのデータを交互に読み出すため、奇数トラックと偶数トラックのデータを同一ROWアドレス上に記録する。

【0075】すなわち、ライン単位のデータが8ワード

毎に2つのバンクに交互に入力されるため、奇数トラックの同一マクロブロック内のY0, Y1, Y3, Y4ブロックはバンク0に、Y2, Y5, Cr, Cbブロックはバンク1の同一ROWアドレス上に記録される。一方、偶数トラックでは奇数トラックと逆のバンクの同一ROWアドレス上に記録される。さらに、ブロック読み出し時に対となる奇数トラックと偶数トラックのマクロブロックも、同一ROWアドレス上に記録される。このように、トラック毎にデータを記録するバンクを切り換えることにより、ブロックデータアクセス時に8ワード毎交互にSDRAMのバンクを切り換えてデータを読み出すことが可能となる。

【0076】これに対して、ブロック単位での読み出しは、図23に示すように、8ワード毎に2つのトラックのデータをバンク0とバンク1から交互に読み出す。ただし、連続クロックで、バンク0, 1, 0, 1, 0の順でブロックデータを読み出すため、Y0, Y1, Y3, Y4のブロックについては奇数トラックのデータが先に出力されるが、Y2, Y5, Cr, Cbのブロックについては、偶数トラックデータが先に出力される。したがって、SDRAMの出力をブロックデータレート変換回路17によって8ワード単位で偶数トラックのデータと奇数トラックのデータを並び換えて、図11(a)に示す形式でブロックデータを出力する。なお、SDRAMへのデータ入出力タイミングは、実施例2と同じであるので説明を省略する。

【0077】なお、上記実施例3では、トラック毎にライン単位のデータをSDRAMに記録するバンクを切り換えていたが、必ずしもトラック毎である必要はなく、jライン($j \geq 1$)毎に切り換えればよい。

【0078】

【発明の効果】請求項1の発明によれば、ラインデータは $i \times n$ ($i \geq 1$)画素毎に、ブロックデータは $k \times n$ ($k \geq 1$)画素毎に分割して、複数バンク方式のメモリの複数のバンクに順に入出力するようにしたので、メモリに対して画像データを連続で入出力することができる。

【0079】また、請求項2の発明によれば、ラインおよびブロック単位で入力されるデータを小規模のメモリでデータレート変換し、ラインデータは $i \times n$ 画素毎に、ブロックデータは $k \times n$ 画素毎に分割し、複数バンク方式のメモリの複数のバンクに順に入出力し、ライン単位でのデータアクセスとブロック単位でのデータアクセスを水平ライン周期より短い周期で切り換えるようにしたので1組のフレームメモリでブロックシャプリングを実現できる。

【0080】また、請求項3の発明によれば、ラインおよびブロックデータを小規模なメモリでラインおよびブロックのデータレートと整数比となるデータレートに変換し、水平ライン周期よりも短い周期でラインとブロッ

クデータを切り換えて、ラインデータは $i \times n$ 画素毎に、ブロックデータは $k \times n$ 画素毎に複数のメモリバンクに順に分割して入出力するようにしたので、ラインデータとブロックデータをメモリに対して連続アクセスすることができ、データレート変換を行うメモリの容量を小さくすることができる。

【0081】また、請求項4の発明によれば、メモリ制御装置から出力されるブロックデータに対して各ブロック間でブランキング期間を設けてラインおよびブロック単位で入力されるデータを小規模のメモリでラインおよびブロックデータと整数比となるデータレートに変換し、ラインデータは $i \times n$ 画素毎に、ブロックデータは $k \times n$ 画素毎に分割し、複数バンク方式のメモリの複数のバンクに順に入出力し、ライン単位でのデータアクセスとブロック単位でのデータアクセスを水平ライン周期より短い周期で切り換え、ラインデータとブロックデータの切り換え時にデータアクセスを行わない期間を設けるようにしたので、データレート変換を行うメモリの容量を少なくすることができ、複数バンクメモリに対するデータの入出力が重なることがない。

【0082】また、請求項5の発明によれば、ラインおよびブロックデータを小規模なメモリでデータレート変換し、水平ライン周期よりも短い周期でラインとブロックデータを切り換えて、ラインデータは $i \times n$ 画素毎に、ブロックデータは $k \times n$ 画素毎に複数のメモリバンクに交互に分割して入出力し、画面上で同一位置にある輝度信号と色信号を複数バンクの同一ROWアドレス上に配置するようにしたので、メモリ内のアドレスマップが簡単となり、データアクセス時にROWアドレスを変更する回数が減るため、メモリ制御装置の消費電力も小さくすることができる。

【0083】また、請求項6の発明によれば、ラインおよびブロック単位で入力されるデータを小規模のメモリでデータレート変換し、複数バンク方式のメモリの複数のバンクに順次入出力する際、ラインデータは $i \times n$ 画素毎に分割してさらに j ライン ($j \geq 1$) 毎にデータを書き込むバンクを切り換えて入出力し、ブロックデータは $k \times n$ 画素毎に分割して入出力するようにしたので、ライン単位でのデータアクセスとブロック単位でのデータアクセスを n の倍数画素毎に切り換えることができる。

【0084】また、請求項7の発明によれば、ラインおよびブロック単位で入力されるデータを小規模のメモリでデータレート変換し、複数バンク方式のメモリの複数のバンクに順次入出力する際、ラインデータは $i \times n$ 画素毎に分割してさらに第1フィールドと第2フィールドでデータを書き込むバンクを切り換えて入出力し、ブロックデータは $k \times n$ 画素毎に分割して入出力するようにしたので、ライン単位でのデータアクセスとブロック単位でのデータアクセスを n の倍数画素毎に切り換えるこ

とができる。

【0085】また、請求項8の発明によれば、ラインおよびブロック単位で入力されるデータを小規模のメモリでデータレート変換し、複数バンク方式のメモリの複数のバンクに順次入出力する際、さらに垂直ブランキング期間中のラインデータのアクセスタイミングでメモリのリフレッシュを行うようにしたのでリフレッシュ動作がメモリに対するデータの入出力と重なることがない。

【図面の簡単な説明】

10 【図1】 本発明の実施例1のメモリ制御装置を示すブロック図回路図である。

【図2】 ブロックシャフリングの方法を示す概念図である。

【図3】 スーパーブロックの構成を示す図である。

【図4】 マクロブロックの構成を示す図である。

【図5】 2バンクメモリの構成を示すブロック図である。

【図6】 実施例1のラインデータの書き込み方法を示す図である。

20 【図7】 実施例1のSDRAMのデータアクセスを示す図である。

【図8】 実施例1のブロックデータの読み出し方法を示す図である。

【図9】 実施例1のSDRAMのデータアクセスを示す図である。

【図10】 本発明の実施例2のメモリ制御装置を示すブロック回路図である。

【図11】 実施例2のブロックデータとラインデータの切り換えを説明する図である。

30 【図12】 実施例2のレート変換器の構成を示すブロック図である。

【図13】 実施例2のラインデータレート変換器の構成を示すブロック図である。

【図14】 実施例2のラインデータの書き込み方法を示す図である。

【図15】 実施例2のブロックデータレート変換器の構成を示すブロック図である。

【図16】 実施例2のブロックデータの読み出し方法を示す図である。

40 【図17】 実施例2のラインデータのバンク切り換えを示す図である。

【図18】 実施例2のメモリマップを示す図である。

【図19】 実施例2のブロックデータのバンク切り換えを示す図である。

【図20】 実施例2のSDRAMのデータアクセスを示す図である。

【図21】 実施例2のSDRAMのデータアクセスを示す図である。

50 【図22】 本発明の実施例3のラインデータのバンク切り換えを示す図である。

【図23】 実施例3のブロックデータのバンク切り換えを示す図である。

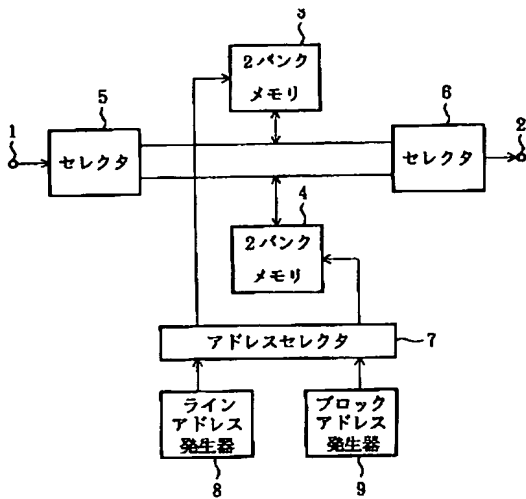
【図24】 従来例のメモリ制御装置を示すブロック図である。

【図25】 従来例のフレームメモリを示す図である。

【図26】 従来例の入力データのアクセスを示す図である。

【図27】 従来例の出力データのアクセスを示す図で*

【図1】

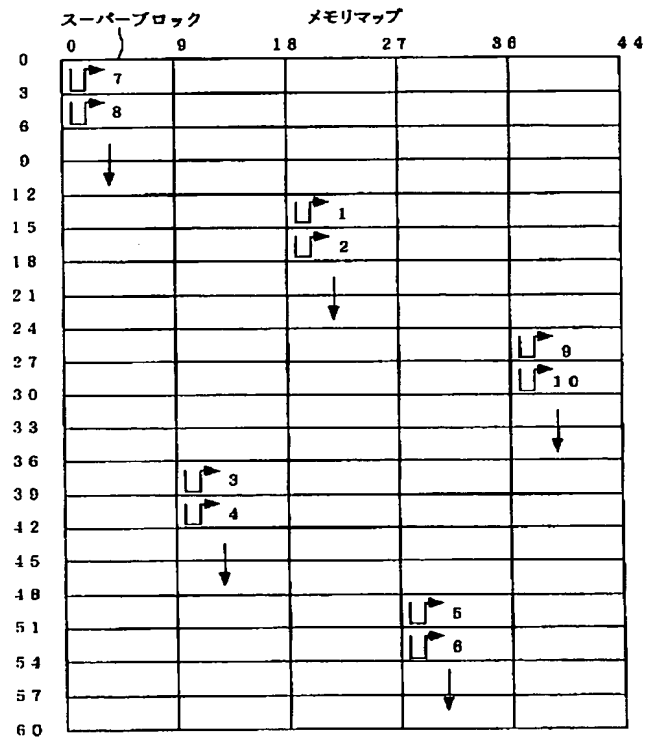


* ある。

【符号の説明】

3, 4 2バンクメモリ、5 入力ポート用セクタ、6 出力ポート用セクタ、7 アドレスセクタ、8 ラインアドレス発生器、9 ブロックアドレス発生器、11 レート変換回路、12 制御回路、13 ラインアドレス発生器、14 ブロックアドレス発生器。

【図2】



【図3】

スーパーブロック

0	5	6	11	12	17	18	21	24
1	4	7	10	13	16	19	22	25
2	3	8	9	14	15	20	23	26

マクロブロック

【図4】

マクロブロック

Y0	Y1	Y2
Y3	Y4	Y5

輝度ブロック

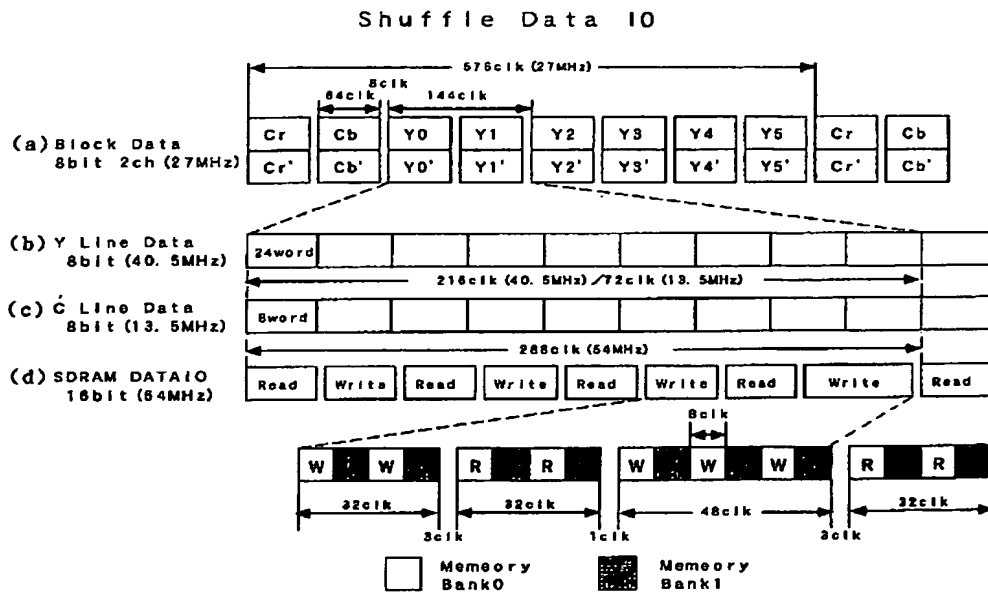
Cr

色差信号ブロック

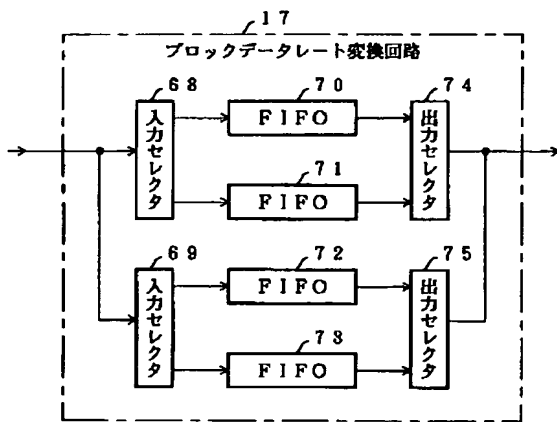
Cb

色差信号ブロック

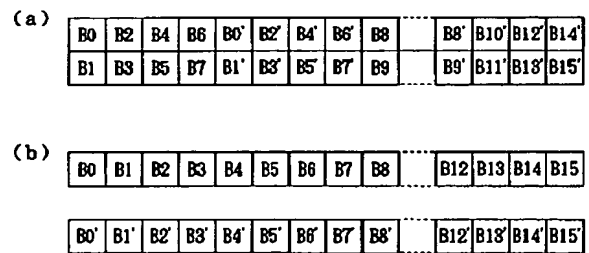
【図 11】



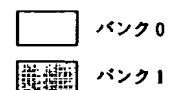
【図 15】



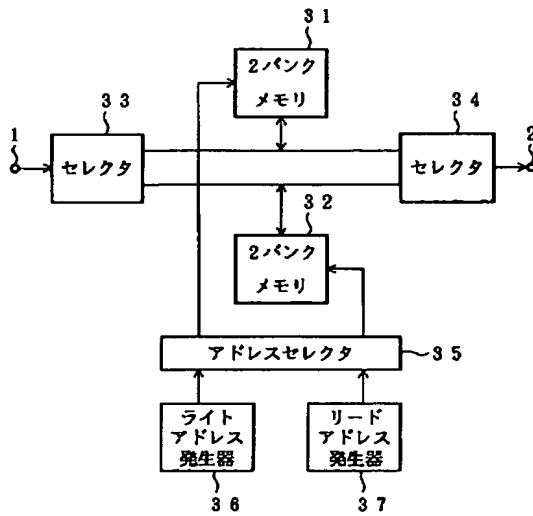
【図 16】



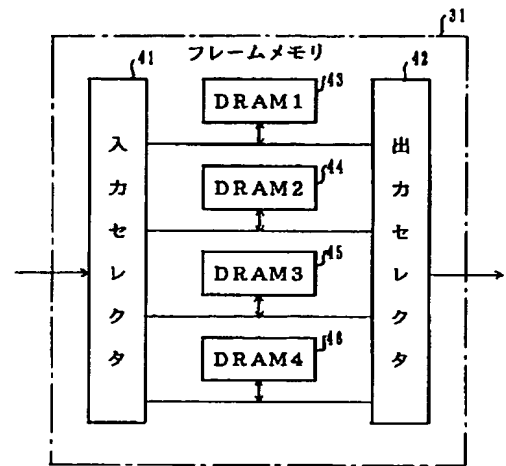
【図 19】



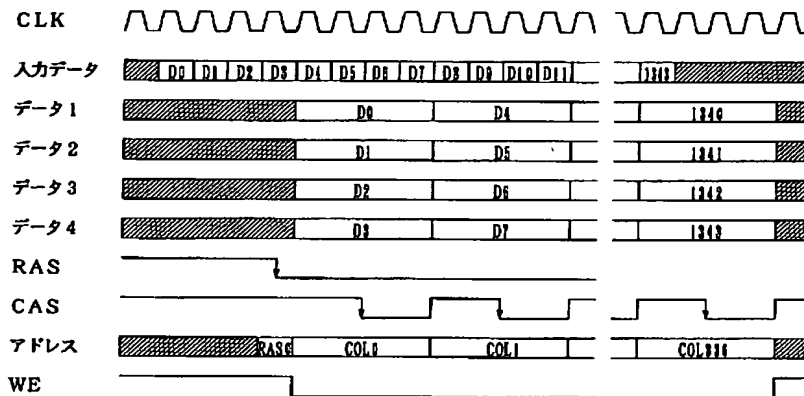
【図24】



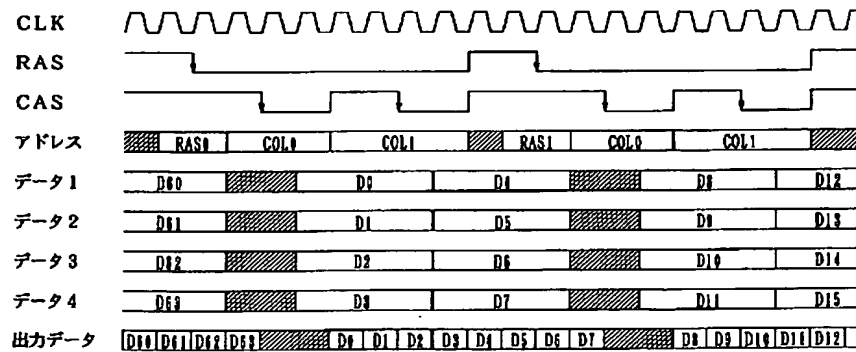
【図25】



【図26】



【図27】



フロントページの続き

(51) Int. Cl. ⁶

G 1 1 B 20/18

H 0 4 N 5/92

5/937

識別記号

庁内整理番号

F I

技術表示箇所

5 4 2 Z 8940-5D

5 7 4 B 8940-5D